



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02205111 A

(43) Date of publication of application: 15.08.1990

(51) Int. Cl. H03K 5/156

(21) Application number: 01025238

(22) Date of filing: 03.02.1989

(71) Applicant: YOKOGAWA ELECTRIC CORP

(72) Inventor: SUGIMURA AKIO

## (54) WAVEFORM FORMATTER CIRCUIT

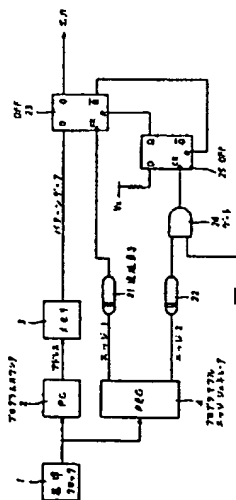
## (57) Abstract:

**PURPOSE:** To obtain a signal with short pulse width without being affected by the operating minimum pulse width of an RS flip-flop by directly generating the rise of a pulse with a first clock edge signal and the fall of the pulse with a second clock edge signal.

**CONSTITUTION:** A gate 24 is closed by setting an NRZ signal to be added on the gate 24 at 'LOW', and a clock edge signal 2 whose timing is adjusted inputted from a delay element 22 is prevented from passing. Therefore, no D-FF 25 is operated, and only a D-FF 23 is operated by pattern data added from a memory 3 and a clock edge signal 1 added via a delay element 21. Since the D-FF 23 outputs the pattern data added on a terminal D at the leading edge of the clock edge signal 1, the NRZ signal can be obtained from the terminal Q of the D-FF 23. Thereby, it is possible to se-

cure the pulse width of an output signal as a preset value as designed, and to obtain the signal with pulse width narrower than conventional one.

COPYRIGHT: (C)1990,JPO&amp;Japio



## ⑫ 公開特許公報(A) 平2-205111

⑤ Int.Cl.<sup>3</sup>

H 03 K 5/156

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)8月15日

M

6959-5 J

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 波形フォーマッタ回路

⑯ 特 願 平1-25238

⑰ 出 願 平1(1989)2月3日

⑱ 発 明 者 杉 村 明 男 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

## 明 細 書

## 1. 発明の名称

波形フォーマッタ回路

## 2. 特許請求の範囲

“HIGH”と“LOW”の任意の組合せからなるパターンデータを基準クロックの周期で発生する手段(3)と、

基準クロックのエッジから任意のディレイ時間で発生する第1と第2のクロックエッジ信号を出力する手段(4)と、

前記パターンデータをD端子に入力し第1のクロックエッジ信号を第1の遅延素子(21)を介してクロック端子に導入する第1のD形フリップフロップ(以下、単にDFFと記す)と、

一方の端子に第2の遅延素子(22)を介して第2のクロックエッジ信号を導入し、他方の端子にこのゲートの開閉を制御する制御信号(RZ/ $\overline{\text{NRZ}}$ )を導入するゲートと、

D端子が“HIGH”に接続され、クロック端子に前記ゲートの出力を導入し、Q端子を第1のDFF

のリセット端子に接続し、自らのリセット端子を第1のDFFのQ端子に接続した第2のDFFと、を備えた波形フォーマッタ回路。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明はパルス列信号を出力するものであり、そのパルスの発生周期とパルス幅を設定できる波形フォーマッタ回路に関する。

## &lt;従来の技術&gt;

例えばLSI テスタ等の分野では、LSI を試験するために、パルスの発生周期とパルス幅が異なるパルス列信号を必要とする。

第4図は従来の波形フォーマッタ回路の構成を示す図、第3図はこの回路のタイムチャートである。

第4図において、1は基準クロックを発生する基準クロック発生器、2はこの基準クロックを計数するプログラムカウンタ(以下、単にPC2と記す)である。3はPC2の計数値をアドレス信号として導入するメモリであり、後述するパターンデ

ークが書込まれたものである。例えばメモリ3のアドレスAD1 : 1、AD2 : 0、AD3 : 1、AD4 : 0が書込まれていると、基準クロックC1、C2、C3、C4、…が発生し、PC 2の出力がAD1、AD2、AD3、…と変化すれば、第3図(1)に示すパターンデータがメモリ3から出力される。ここで1は“HIGH”、0は“LOW”を意味する。

4はプログラマブル・エッジジェネレータ(以下単にPEG 4と記す)であり、第3図(3)、(4)に示す2つのクロックエッジ信号1、2を出力するものである。説明を加えるとPEG 4は、基準クロックを導入し、この基準クロックの例えば立上がりエッジを基準時刻として、予めプログラムされたディレイ時間T1、T2(第3図参照)後に、2つのクロックエッジ信号1、2を出力するものである。

6はRSフリップフロップ(以下単にRSFF 6と記す)であり、クロックエッジ信号1をセット端子に、クロックエッジ信号2をリセット端子に導入している。従って、クロックエッジ信号1が“HIGH”になるとその出力Qは“HIGH”となり、クロ

記す)であり、RSFF 6のQ端子から出力される動作クロックのエッジ(第4図の場合は立上がりエッジ)で動作し、このエッジが発生した際のD端子の状態(第3図のパターンデータ)をQ端子に出力する。従ってDFF 8のQ端子からは第3図(6)に示す波形が得られる。このような信号のことを一般にNRZ信号(Non Return Zero)と言う。NRZ信号は動作クロックの立上がりエッジ時におけるパターンデータの“HIGH”又は“LOW”に変化する信号である。NRZ信号もRZ信号と同様に第3図(1)のパターンデータと動作クロックの形態を変化させることにより種々のフォーマットにすることができる。

以上のように第4図の回路は、ゲート7から第3図(5)に示すRZ信号を、DFF 8から第3図(6)に示すNRZ信号を出力することができる。このRZ信号とNRZ信号はどちらもメモリ3に書込むパターンデータとPEG 4からのクロックエッジ信号1、2によりそのフォーマットを設定することができる。ここでRZ信号とNRZ信号を構成する回路は異な

ったエッジ信号2が“HIGH”となるとその出力は“LOW”となる。即ち、2つのクロックエッジ信号1、2の発生時間差(T2-T1)のパルス幅を持つ動作クロックを出力する(第3図(2)参照)。なお、RSFF 6から出力される第3図(2)の動作クロック信号のパルス幅と、上述した基準時刻(第3図のC1、C2、…)からのディレイ時間とは、PEG 4により制御することができる。

ゲート7は、第3図(1)のパターンデータと第3図(2)の動作クロックとの論理積を演算しているので、第3図(5)に示す波形が出力される。このような信号のことを一般にRZ信号(Return Zero)と言う。このRZ信号はパターンデータが“HIGH”であってクロックエッジ信号1と2のエッジ期間(即ち動作クロックのパルス幅)だけ“HIGH”レベルになる信号のことである。RZ信号は第3図(1)のパターンデータと動作クロックの形態を変化させることにより種々のフォーマットにすることができる。

8はD形フリップフロップ(以下単にDFF 8と

るため、基準時刻に対してRZ信号とNRZ信号のディレイ時間も異なってくる。説明を加えるとRZ信号は、パターンデータと動作クロックを導入したゲート7を介して得られるが、NRZ信号は、DFF 8を介して得られる。DFF 8は、複数のゲート素子から構成されるのでこのDFF 8を通過するNRZ信号はゲート7を1個通過するRZ信号より遅れが大きい。そこで、この遅れ時間差を吸収するため、ゲート7とDFF 8の出力端に遅延素子9、10を設けタイミング調整をしている。

そして遅延素子9、10のから出力されるタイミングの調整されたRZ信号とNRZ信号をセレクタ11で選択し出力として取出している。セレクタ11でどちらの信号を選択するかは制御信号RZ/NRZは、図示しないコントローラから加えられる。

<発明が解決しようとする課題>

以上のような従来の回路は2つの問題がある。  
① 遅延素子9、10を通過するRZ信号とNRZ信号のパルス波形は波形歪みを起こし、立上がり時間と立下がり時間が同一にならず、その結果パルス

幅が変ってしまう。即ち、設定値通りのパルス幅を得ることができない問題がある。

説明を加える。ゲート7とDFF 8の出力段は、第6図に示すように2つのトランジスタを有している。一方のトランジスタは電流 $I_1$ の供給用であり、他方は電流 $I_2$ の吸引用である。通常この電流 $I_1$ 、 $I_2$ は値が異なるため、第7図(1)のようなパルス信号をコイルとコンデンサで構成された遅延素子9、10に加えると、この遅延素子9、10を通過する信号は、第7図(2)のように立上がりの傾斜 $\alpha$ と立下がりの傾斜 $\beta$ が異なるため、パルス幅が変化してしまうのである。

② 第4図の回路はパルス幅の狭いRZ信号、NRZ信号を作り出す上で第5図で説明するような制限を受ける。RZ信号、NRZ信号の最小パルス幅は、動作クロックの最小パルス幅で決定される(第3図の(2)と(5)より明らか)。第5図はRSFF 6にて動作クロックが作り出される動作を説明する図である。

RSFF 6(RSフリップフロップ)は、セット端子

路を提供することである。

#### <課題を解決するための手段>

本発明は、上記課題を解決するために

“HIGH”と“LOW”の任意の組合せからなるパターンデータを基準クロックの周期で発生する手段(3)と、

基準クロックのエッジから任意のディレイ時間で発生する第1と第2のクロックエッジ信号を出力する手段(4)と、

前記パターンデータをD端子に入力し第1のクロックエッジ信号を第1の遅延素子(21)を介してクロック端子に導入する第1のD形フリップフロップ(以下、単にDFFと記す)と、

一方の端子に第2の遅延素子(22)を介して第2のクロックエッジ信号を導入し、他方の端子にこのゲートの開閉を制御する制御信号( $RZ/\overline{NRZ}$ )を導入するゲートと、

D端子が“HIGH”に接続され、クロック端子に前記ゲートの出力を導入し、Q端子を第1のDFFのリセット端子に接続し、自らのリセット端子を

及びリセット端子に加えられた信号のレベルで動作する。即ち、RSフリップフロップはセット端子、リセット端子に加えられた信号が、極めて狭いパルス幅信号であると動作できない。そこで、市販されているRSフリップフロップは、動作することができる最小の入力パルス幅を規格化し明記している。

また、RSフリップフロップをセット動作からリセット動作又はその逆に切替えるためには、セット端子とリセット端子に加える信号にある時間間隔を持たせないと動作しない。この最小時間間隔も市販のRSフリップフロップでは明記されている。第5図において示した $\alpha$ は、この最小の時間間隔である。

第5図から明らかなように、RSFF 6で得られる動作クロックの最小パルス幅 $W_{min} = E + \alpha$ であり、RSフリップフロップの性能により制限を受ける。

本発明の目的は、パルス幅変動を防ぎ、出力最小パルス幅をより狭くできる波形フォーマッタ回

第1のDFFのQ端子に接続した第2のDFFと、からなる手段を講じたものである。

#### <作用>

本発明では第4図で説明した動作クロックを作成せず、直接第1のクロックエッジ信号でパルスの立上がり生成し、第2のクロックエッジ信号でパルスの立下がり生成している。従ってRSフリップフロップの動作最小パルス幅(第5図の $E + \alpha$ )に左右されないで従来より短いパルス幅の信号を得ることができる。

またクロックエッジ信号を遅延素子で調整しており、しかもこのタイミング調整したクロックエッジ信号(これはパルス幅が変化してもよい)をエッジ動作するD形フリップフロップのクロック端子に加えているので、パルス幅が変動することはない。即ち、タイミング調整したクロックエッジ信号の一方のエッジ(例えば立上がりエッジ)のみに同期して動作するのでパルス幅は変動しない。

#### <実施例>

以下、図面を用いて本発明を詳しく説明する。

第1図は本発明に係る波形フォーマット回路の一実施例を示す図、第2図は第1図回路のタイムチャートである。

第1図において、構成要素番号1～4は第4図で説明したものと同様であるためこれら動作説明を省略する。なお、構成要素番号1～4の部分については、第1図の構成に限定するものでなく要するに、“HIGH”と“LOW”の任意の組合せからなるパターンデータを基準クロックの周期で発生する手段と、基準クロックのエッジから任意のディレイ時間で発生する第1と第2のクロックエッジ信号を出力する手段と、を備えていればよい。

21と22は遅延素子であり、例えばインダクタンスとコンデンサとから構成されるものである。遅延素子21はPEG 4 から出力されるクロックエッジ信号1を遅延させ、遅延素子22はクロックエッジ信号2を遅延させる。

23は第1のDFFであり、メモリ3からパターン

1(第4図では動作クロック)の立上がりエッジ時におけるパターンデータの“HIGH”又は“LOW”に変化する信号である。この場合、ゲート24に加える制御信号RZ/NRZを“LOW”としてこのゲート24を閉じ(ゲート24の出力を“LOW”にロック)、遅延素子22から来るタイミング調整されたクロックエッジ信号2を通過させない。

従ってDFF 25は動作せず、DFF 23のみがメモリ3から加えられるパターンデータ(第2図(1)参照)と遅延素子21を介して加えられるクロックエッジ信号1(第2図(2)参照)により動作する。DFF 23はクロック端子に加えられたクロックエッジ信号1の立上がりエッジ時におけるD端子に加えられたパターンデータを出力するから、DFF 23のQ端子からは第2図(5)に示すNRZ信号が得られる。

ここでPEG 4 から出力されるクロックエッジ信号1は遅延素子21を経由しているため、遅延素子21を通過したパルス幅は、第6図、第7図で説明したと同様な理由でPEG 4 の出力信号のパルス幅と異なる。しかし第1図の回路で得られるNRZ信

データをD端子に入力し、クロックエッジ信号1を遅延素子21を介してクロック端子に導入する。このQ端子から目的とするフォーマットを持ったパルス列信号が得られる。

24はゲートであり、例えば論理積演算を行う。このゲート24は、一方の端子に遅延素子22を介してクロックエッジ信号2を導入し、他方の端子にこのゲートの開閉を制御する制御信号(RZ/NRZ)を導入する。この制御信号は、第4図のセレクトに加えられる信号と同様なものであり、図示しないコントローラから加えられる。

25は第2のDFFであり、D端子が“HIGH”に接続され、クロック端子にゲート24の出力を導入し、Q端子を第1のDFF 23のリセット端子に接続し、自らのリセット端子を第1のDFF 24のQ端子に接続している。

以上のように構成された第1図回路の動作を第2図を参照しながら説明する。

#### (A) NRZ 信号を出力する動作

NRZ 信号は、記述のようにクロックエッジ信号

号のパルス幅t1(第2図(5)参照)は、設計値通りである。この場合の設計(PEG 4 の設定)は、クロックエッジ信号1の立上がり時刻のみ規定すればよく、その周期t1がNRZ 信号のパルス幅であり遅延素子21の影響を受けない。その理由はクロックエッジ信号1のパルス幅でこのNRZ 信号のパルス幅が決定されるのではなく、クロックエッジ信号1の一方のエッジ(第2図では立上がりエッジ)に同期してDFF 23が変化しているからである。即ち、立上がりエッジのみに着目すれば、常に遅延素子21における遅延量だけ等しく遅延しているからである。なお、遅延素子21によりDFF 23へ加えるクロックエッジ信号1のタイミングを調整できるので、NRZ 信号の立上がり及び立下がりタイミングをこの遅延素子21により調整できる。

#### (B) RZ信号を出力する動作

RZ信号は、記述のようにパターンデータが“HIGH”であってクロックエッジ信号1と2のエッジ期間だけ“HIGH”レベルになる信号のことである。この信号を出力する場合は、ゲート24に加える制

御信号  $RZ/\overline{NRZ}$  を "HIGH" にしてゲート24を開とする。即ち、遅延素子22を介してPEG 4のクロックエッジ信号2がゲート24を通過し、DFF 25のクロック端子に加えられるようになっている。

まず第2図(2)のようにクロックエッジ信号1が立上がると、パターンデータは第2図(1)のように "HIGH" であるため、DFF 23のQ端子は第2図(6)のように "HIGH" となる。

次にクロックエッジ信号2が立上がると(第2図(3)参照)、この "HIGH" レベルはゲート24を介してDFF 25のクロック端子に加えられる。DFF 25はD端子が "HIGH" であるためQ出力を "HIGH" とする(第2図(4)参照)。このQ出力はDFF 23のリセット端子に加えられるので、DFF 23のQ出力は "LOW" となる(第2図(6)参照)。

従ってDFF 23のQ出力は "HIGH" となり、この "HIGH" がDFF 25のリセット端子に加えられるので、DFF 25のQ出力は "LOW" となって次の信号の入力に備える(第2図(4)参照)。

以上の動作により第2図(6)に示すパルス幅  $t_2$  の

RZ信号が得られる。要約すると、RZ信号の立上がりはDFF 23に加えられるクロックエッジ信号1の立上がりエッジで動作し、立下がりエッジはクロックエッジ信号2の立上がりエッジで動作するDFF 25で実現するようにしている。

ここで第1図の回路で得られるRZ信号(第2図(6))と、クロックエッジ信号1, 2(第2図(2), (3))と、DFF 25のQ出力(第2図(4))との時間関係を説明する。

クロックエッジ信号1が立上ってからRZ信号が立上がるまでの時間は  $T_{PD}$  である。 $T_{PD}$  はフリップフロップ1段を通過する伝播遅延時間であり、通常1 ns~2 ns程である。この場合クロックエッジ信号1はDFF 23のクロック端子に加えているのでエッジ動作によりDFF 23は動いている。

次にクロックエッジ信号2が立上ってからDFF 25のQ出力が立上がるまでの時間も  $T_{PD}$  である。そしてDFF 25のQ出力の立上がりからDFF 23のQ出力が立下がる(RZ信号が立下がる)までの

時間も  $T_{PD}$  である。この際のDFF 23の動作は、リセット端子に加えられた信号によるのでレベル動作であるが、DFF 23が前にレベル動作したのはクロックエッジ信号2の前の立上がりエッジ時であるため、時間が経過しているのでリセット端子にDFF 25の信号が加えられてから時間  $T_{PD}$  後にDFF 23は動作する(立下がる)ことができる。

以上のように第1図回路ではクロックエッジ信号1, 2の立上がりエッジのみでRZ信号のパルス幅を決定できるので、双方の "HIGH" 期間が重なる程2つのクロックエッジ信号1, 2を近接することができる。従って第4図の従来例よりパルス幅の狭い信号を得ることができる。

なお、RZ信号のパルス幅が遅延素子21, 22の影響されず、設定通りである理由はNRZ信号の所で説明したので省略する。

#### <本発明の効果>

以上述べたように本発明によれば、次の効果が得られる。

① フォーマット出力部であるDFF 23の出力段に

タイミング調整用の遅延素子が入らないため、出力であるRZ信号、NRZ信号のパルス幅は設定値通りの値が確保される。

② 従来はクロックエッジ信号のパルス幅がRZ信号の最小パルス幅  $W_{min}$  を決定していたため、非常に狭いパルス幅のクロックエッジ信号にせざるを得なかった。ここでパルスの細い信号は、遅延素子の帯域が不十分であると遅延素子を通過できない問題がある。しかし、本発明は2つのクロックエッジ信号の立上がりエッジの時間差でRZ信号のパルス幅を決定できるので、クロックエッジ信号のパルス幅を広くすることができる。即ち、クロックエッジ信号としてデューティ 50%の信号を使用することができる。その結果、タイミング調整用の遅延素子は高価な広帯域のものを必要としない。

③ 本発明で得られる最小のパルス幅は、クロックエッジ信号のパルス幅に依存しないので従来例より狭いパルス幅の信号を得ることができる。

#### 4. 図面の簡単な説明

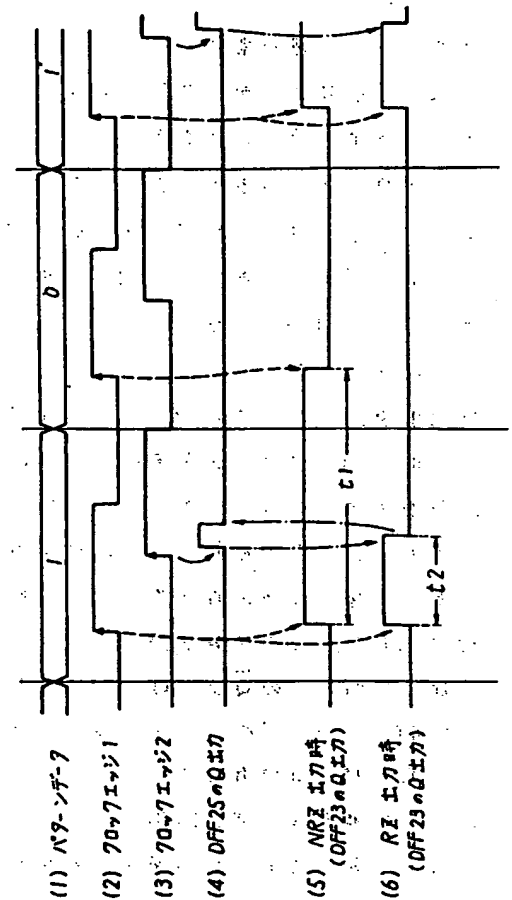
第1図は本発明に係る波形フォーマッタ回路の一実施例を示す図、第2図は第1図回路のタイムチャート、第3図は第4図回路のタイムチャート、第4図は従来例を示す図、第5図～第7図は従来例を説明するための図である。

3…メモリ、4…PEG、21…遅延素子、23…DFF、25…DFF、24…ゲート。

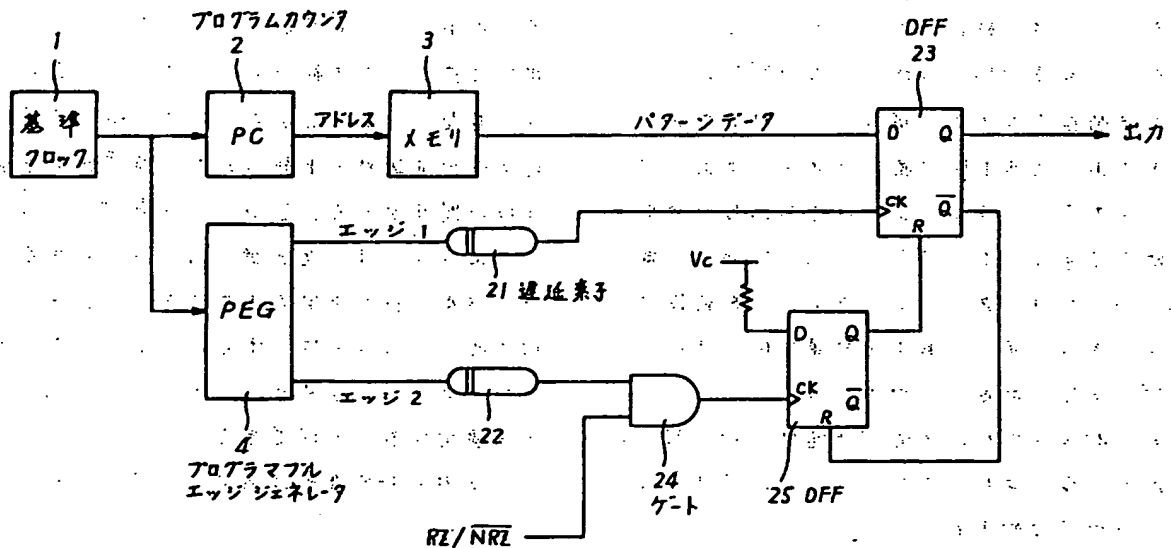
代理人 弁理士 小沢 信



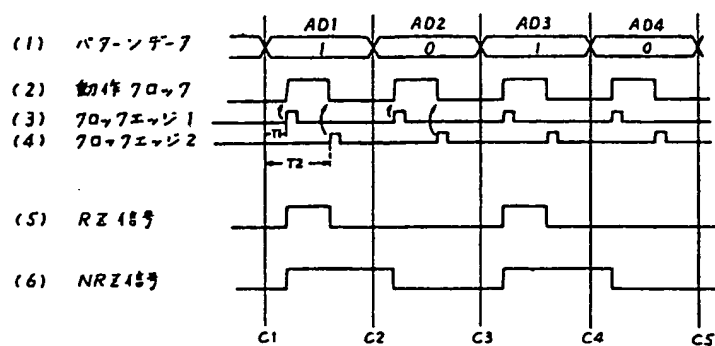
第2図



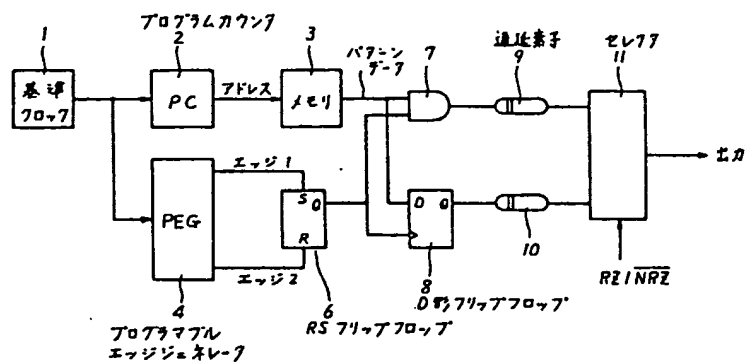
第1図



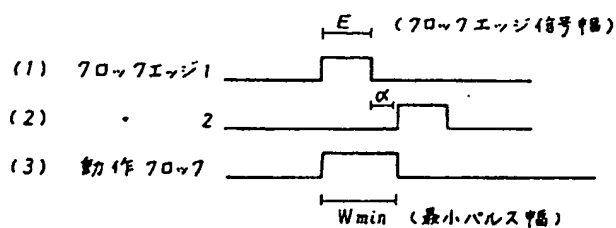
第 3 図



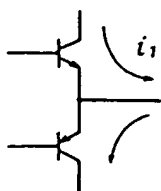
第 4 図



第 5 図



第 6 図



第 7 図

